

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340433  
 (43)Date of publication of application : 10.12.1999

(51)Int.Cl. H01L 27/108  
 H01L 21/8242  
 H01L 27/10

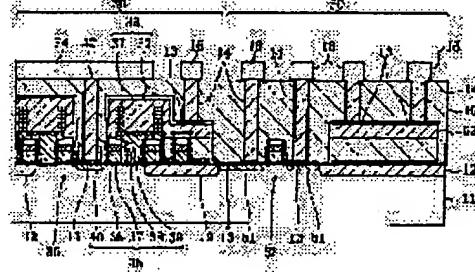
(21)Application number : 10-140721 (71)Applicant : MATSUSHITA ELECTRON CORP  
 (22)Date of filing : 22.05.1998 (72)Inventor : OGAWA HISASHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the resistance of the contact of each element at a memory cell array region as well as a peripheral circuit region or a logic circuit region.

**SOLUTION:** A plurality of memory cells that are isolated by an element isolation film 12 are arranged in an array at a memory cell array region 30. Each memory cell is provided with a capacitor 33 that is composed of a charge accumulation electrode 31 of an amorphous silicon, and a counter electrode 32 that is made of a capacity insulation film and polysilicon that opposes the charge accumulation electrode 31 interposing the capacity insulation film, and a switching transistor 35 for controlling the connection to a bit line 34 for charging/discharging the capacitor 33. A conductive thin film 13 consisting of Ti silicide is formed at the contact formation region of a first n+ type diffusion layer 40 that becomes the drain of the switching transistor 35, and the conductive thin film 13 is connected to the bit line 34 via a bit line contact 42.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation. 1. This document has been translated by computer. So the translation may not reflect the original precisely.  
2. \*\*\*\* shows the word which can not be translated.  
3. In the drawings, any words are not translated.

**[Claim(s)]**

[Claim 1] It is the semiconductor device which a charge-storage electrode, a capacity insulator layer, and the aforementioned charge-storage electrode and the counterelectrode which counters are equipped with the capacity which comes to carry out a laminating one by one on a semiconductor substrate, and is characterized by silicide-izing a part of aforementioned counterelectrode [at least].

[Claim 2] It is the semiconductor device according to claim 1 which is formed on the switch transistor prepared between the bit line which performs the charge and discharge of a charge to the aforementioned capacity, and the aforementioned capacity and the aforementioned bit line on the aforementioned semiconductor substrate, and the aforementioned semiconductor substrate, is further equipped with the bit-line contact which connects the aforementioned switch transistor and the aforementioned bit line electrically, and carries out [that the interface of the aforementioned semiconductor substrate and the aforementioned bit-line contact is silicide-ized, and] as the feature.

[Claim 3] The manufacture method of a semiconductor device characterized by providing the following of having the memory cell section and the circuit section on a semiconductor substrate. The transistor formation process which forms in the circuit formation field of the aforementioned semiconductor substrate the electric field effect type transistor for circuits which has an impurity diffusion layer while forming in the memory cell formation field of the aforementioned semiconductor substrate the electric field effect type transistor for memory cells which has an impurity diffusion layer. The insulator layer deposition process which deposits an insulator layer over the whole surface on the aforementioned semiconductor substrate so that the aforementioned electric field effect type transistor for memory cells and the electric field effect type transistor for circuits may be covered. The capacity formation process which forms the capacity which is connected with the aforementioned electric field effect type transistor for memory cells, and consists of a charge-storage electrode, a capacity insulator layer and the aforementioned charge-storage electrode, and a counterelectrode that counters in the aforementioned capacity formation field after etching to the capacity formation field of the memory cell in the aforementioned insulator layer. The conductive thin film formation process which forms a conductive thin film in the contact formation field of the aforementioned impurity diffusion layer in the aforementioned electric field effect type transistor for circuits and the contact formation field of the aforementioned impurity diffusion layer in the aforementioned electric field effect type transistor for memory cells, or the contact formation field of the aforementioned counterelectrode.

[Claim 4] The aforementioned conductive thin film formation process is the manufacture method of the semiconductor device according to claim 3 characterized by including the process which forms the aforementioned conductive thin film in the contact formation field of a resistance element which consists of the same material as the aforementioned counterelectrode in the aforementioned circuit section.

[Claim 5] The manufacture method of the semiconductor device according to claim 3 characterized by forming simultaneously the aforementioned impurity diffusion layer of

the aforementioned electric field effect type transistor for circuits, and the aforementioned impurity diffusion layer of the aforementioned electric field effect type transistor for memory cells in the aforementioned transistor formation process.

[Claim 6] The manufacture method of the semiconductor device according to claim 3 characterized by using the aforementioned insulator layer for an etching stopper in the aforementioned capacity formation process in case contact of the aforementioned charge-storage electrode is formed on the aforementioned impurity diffusion layer of the aforementioned semiconductor substrate.

[Claim 7] The manufacture method of a semiconductor device characterized by providing the following. The transistor formation process which forms the field effect transistor which has an impurity diffusion layer on a semiconductor substrate. The insulator layer formation process which carries out flattening of the upper surface of this 2nd insulator layer after forming the 1st insulator layer and the 2nd insulator layer one by one over the whole surface on the aforementioned semiconductor substrate so that the aforementioned field effect transistor may be covered. The opening formation process which forms opening in the capacity formation field of the 2nd insulator layer of the above by using as a mask the resist pattern formed on the 2nd insulator layer of the above, and etching to the 2nd insulator layer of the above by using the 1st insulator layer of the above as an etching stopper. By removing this electric conduction film so that it may remain in the wall surface and base of the aforementioned opening after depositing an electric conduction film over the whole surface including the wall surface and base of the aforementioned opening on the aforementioned semiconductor substrate the aforementioned opening -- the above -- a conductor -- with the charge-storage electrode formation process which forms the charge-storage electrode which consists of a film The capacity formation process which forms a capacity insulator layer and the aforementioned charge-storage electrode, and the counterelectrode that counters one by one on the aforementioned charge-storage electrode after performing etchback so that the upper part of the aforementioned charge-storage electrode may be exposed to the upper part of the 2nd insulator layer of the above, The conductive thin film formation process which forms a conductive thin film in the contact formation field of the aforementioned impurity diffusion layer, or the contact formation field of the aforementioned counterelectrode.

[Claim 8] The 1st insulator layer of the above is the manufacture method of a semiconductor substrate according to claim 7 that the laminating of silicon oxide and the silicon nitride is carried out, and they are characterized by the bird clapper.

[Claim 9] The 2nd insulator layer of the above is the manufacture method of a semiconductor substrate according to claim 7 that the laminating of the silicon oxide containing a predetermined impurity and the silicon oxide which does not contain an impurity is carried out, and it is characterized by the bird clapper.

[Claim 10] The aforementioned conductive thin film is the manufacture method of the semiconductor device according to claim 3 or 7 characterized by the bird clapper from metal silicide.

#### [Detailed Description of the Invention]

##### [0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device with which a DRAM circuit, its circumference circuit, or the logical circuit was especially formed in the substrate of 1, and its manufacture method about the semiconductor device which has a DRAM (dynamic RAM) circuit.

##### [0002]

[Description of the Prior Art] It explains referring to a drawing about the semiconductor device which has the conventional DRAM circuit.

[0003] Drawing 10 shows the cross-section composition of the semiconductor device

which has a conventional DRAM circuit and its conventional circumference circuit. As shown in drawing 10, on the substrate 101 which consists of p type silicon, the circumference circuit field 130 where two or more memory cells of DRAM were electrically connected with the memory cell array field 110 and this memory cell array field 110 which it comes to arrange in the shape of an array is formed.

[0004] On both sides of the charge storage electrode 111, the capacity insulator layer (not shown), and this capacity insulator layer, the switch transistor 115 which consists of a field effect transistor (hereafter referred to as FET) which controls connection between the capacity 113 which consists of a charge storage electrode 111 and a counterelectrode 112 which counters, and the bit line 114 which performs the charge and discharge of a charge to this capacity 113 is formed in the memory cell array field 110, respectively.

[0005] Capacity 113 is connected with the aluminum (aluminum) wiring 104 formed on the layer insulation film 103 with which the lower part of the charge storage electrode 111 consists of BPSG the contact connected with the diffusion layer by the side of the source of the switch transistor 115 through the contact 102 which the cell plate prolonged from nothing and a counterelectrode 112 becomes from a tungsten (W).

[0006] The switch transistor 115 is n+ formed in the gate electrode which consists of the gate oxide film 116 formed one by one, the polysilicon contact film 117, a W silicide film 118, and a TEOS film 119, and the substrate 101 along with the gate electrode from the substrate 101 side. It has the type diffusion layer 120. n+ used as a drain. The bit line contact 121 connected with the bit line 114 is formed in the upper surface of the type diffusion layer 120.

[0007] n+ which each is separated into the circumference circuit field 130 by the isolation film 105, and becomes a source drain Two or more FET132 for circuits which has the type diffusion layer 131, and the gate electrode of the switch transistor 115 and the gate electrode of the same composition is formed. n+ of each FET132 for circuits. Between the contacts 102 on the upper surface of the type diffusion layer 131, it is n+. (Titanium Ti) silicide film 133 for reducing the contact resistance of the type diffusion layer 131 and contact 102 is formed, respectively.

[0008]

[Problem(s) to be Solved by the Invention] However, the aforementioned conventional semiconductor device is n+ of each FET for circuits of the circumference circuit field 130. In the upper surface of the type diffusion layer 131 Although Ti silicide film 133 which lowers contact resistance with contact 102 is formed, it sets to the memory cell field 110. If a silicide film is prepared in each contact of the switch transistor 115 or capacity 113, since the fault of sheet resistance going up with heat treatment at the time of manufacture of capacity 113 especially will arise, there is a problem that silicide-izing is difficult.

[0009] this invention aims at attaining low resistance-ization of contact of each element of a circumference circuit or not only a logical-circuit field but a memory cell array field.

[0010]

[Means for Solving the Problem] The semiconductor device concerning this invention is equipped with the capacity which comes to carry out the laminating of a charge storage electrode, a capacity insulator layer, and a charge storage electrode and the counterelectrode which counters on a semiconductor substrate one by one, and a part of counterelectrode [at least] is silicide-ized.

[0011] Since a part of counterelectrode [at least] of capacity is silicide-ized, if contact is prepared in the field silicide-ized according to the semiconductor device of this invention, contact resistance with this contact will decrease.

[0012] As for the semiconductor device of this invention, it is desirable that it is formed on the switch transistor prepared between the bit line which performs the charge and

discharge of a charge to capacity, and the capacity and the bit line on a semiconductor substrate, and a semiconductor substrate, have further the bit line contact which connects a switch transistor and a bit line electrically, and the interface of a semiconductor substrate and bit line contact is silicide-ized.

[0013] The manufacture method of the 1st semiconductor device concerning this invention While forming the electric field effect type transistor for memory cells which is the manufacture method of a semiconductor device of having the memory cell section and the circuit section, and has an impurity diffusion layer to the memory cell formation field of a semiconductor substrate on a semiconductor substrate The transistor formation process which forms in the circuit formation field of a semiconductor substrate the electric field effect type transistor for circuits which has an impurity diffusion layer, The insulator layer deposition process which deposits an insulator layer over the whole surface on a semiconductor substrate so that the electric field effect type transistor for memory cells and the electric field effect type transistor for circuits may be covered, After etching to the capacity formation field of the memory cell in an insulator layer, The capacity formation process which forms the capacity which is connected with the electric field effect type transistor for memory cells, and consists of a charge-storage electrode, a capacity insulator layer and this charge-storage electrode, and a counterelectrode that counters in a capacity formation field, It has the conductive thin film formation process which forms a conductive thin film in the contact formation field of the impurity diffusion layer in the electric field effect type transistor for circuits and the contact formation field of the impurity diffusion layer in the electric field effect type transistor for memory cells, or the contact formation field of a counterelectrode.

[0014] A conductive thin film can be formed in the contact formation field of each element, such as a transistor, without according to the manufacture method of the 1st semiconductor device, usually, being influenced of heat treatment at the time of capacity formation, in order to form a conductive thin film in the contact formation field of the impurity diffusion layer of the electric field effect type transistor for circuits, and the electric field effect type transistor for memory cells, or the contact formation field of a counterelectrode after the capacity formation accompanied by hot and prolonged heat treatment.

[0015] In the manufacture method of the 1st semiconductor device, it is desirable to include the process at which a conductive thin film formation process forms a conductive thin film in the contact formation field of a resistance element which consists of the same material as a counterelectrode in the circuit section.

[0016] It is desirable that the manufacture method of the 1st semiconductor device forms simultaneously the impurity diffusion layer of the electric field effect type transistor for circuits and the impurity diffusion layer of the electric field effect type transistor for memory cells in a transistor formation process.

[0017] In case the manufacture method of the 1st semiconductor device forms contact of a charge-storage electrode on the impurity diffusion layer of a semiconductor substrate in a capacity formation process, it is desirable to use an insulator layer for an etching stopper.

[0018] The transistor formation process that the manufacture method of the 2nd semiconductor device forms the field effect transistor which has an impurity diffusion layer on a semiconductor substrate, The insulator layer formation process which carries out flattening of the upper surface of this 2nd insulator layer after forming the 1st insulator layer and the 2nd insulator layer one by one over the whole surface on a semiconductor substrate so that a field effect transistor may be covered, By using as a mask the resist pattern formed in the 2nd insulator layer, and etching to the 2nd insulator layer by using the 1st insulator layer as an etching stopper The opening formation process which forms opening in the capacity formation field of the 2nd

insulator layer, By removing this electric conduction film so that it may remain in the wall surface and base of opening after depositing an electric conduction film over the whole surface including the wall surface and base of opening on a semiconductor substrate opening -- a conductor -- with the charge-storage electrode formation process which forms the charge-storage electrode which consists of a film The capacity formation process which forms a capacity insulator layer and this charge-storage electrode, and the counterelectrode that counters one by one on a charge-storage electrode after performing etchback so that the upper part of a charge-storage electrode may be exposed to the upper part of the 2nd insulator layer, It has the conductive thin film formation process which forms a conductive thin film in the contact formation field of an impurity diffusion layer, or the contact formation field of a counterelectrode.

[0019] A conductive thin film can be formed in the contact formation field of each element, such as a transistor, without according to the manufacture method of the 2nd semiconductor device, usually, being influenced of heat treatment at the time of capacity formation, in order to form a conductive thin film in the contact formation field of the impurity diffusion layer of a field effect transistor, and the contact formation field of a counterelectrode after the capacity formation accompanied by hot and prolonged heat treatment.

[0020] Moreover, after forming each transistor, the laminating of the 1st insulator layer and the 2nd insulator layer is carried out, the 1st insulator layer is used as an etching stopper in an opening formation process, and since it \*\*\*\*\*'s so that the upper part of a charge-storage electrode may expose the 2nd insulator layer, in a capacity formation process, the counterelectrode of a charge-storage electrode can be formed certainly.

[0021] In the manufacture method of the 2nd semiconductor device, the laminating of silicon oxide and the silicon nitride is carried out for the 1st insulator layer, and a bird clapper is desirable. Since the etching rate to the silicon oxide of silicon nitride is small in an opening formation process when the 2nd insulator layer contains silicon oxide when it does in this way, only the 2nd insulator layer can be etched certainly.

[0022] In the manufacture method of the 2nd semiconductor device, the laminating of the silicon oxide containing a predetermined impurity and the silicon oxide which does not contain an impurity is carried out, and the 2nd insulator layer has a desirable bird clapper. If it does in this way and will form so that the interface of the silicon oxide containing an impurity and the silicon oxide which does not contain an impurity may cross a charge-storage electrode formation field in parallel with a substrate side in a capacity formation process, only the upper part of the 2nd insulator layer can be exposed easily and certainly using the difference of an etching rate.

[0023] In the manufacture method of the 1st or 2nd semiconductor device, the conductive thin film of a bird clapper is desirable from metal silicide. If it does in this way, when the impurity diffusion layer of a field effect transistor and the counterelectrode of capacity will consist of silicon, a conductive thin film with conductivity higher than silicon can be formed easily and certainly.

[0024]

[Embodiments of the Invention] It explains referring to a drawing about 1 operation form of this invention.

[0025] Drawing 1 shows the cross-section composition of the semiconductor device concerning 1 operation form of this invention. As shown in drawing 1 , it has the memory cell array field 30 and the circumference circuit field 50 which were mutually separated with the isolation film 12 which consists of LOCOS on the substrate 11 which consists of p type silicon.

[0026] Two or more memory cells from which each was separated into the memory cell array field 30 with the isolation film 12 are arranged in the shape of an array. Each

memory cell has the switch transistor 35 which consists of an MOSFET which controls connection between the capacity 33 constituted by the counterelectrode 32 which turns into the charge-storage electrode 31 from contest polysilicon which counters, and the bit line 34 which performs the charge and discharge of a charge to this capacity 33 on both sides of the charge-storage electrode 31 which consists of contest split-face-ized polysilicon, the capacity insulator layer (not shown), and this capacity insulator layer.

[0027] The conductive thin film 13 which consists of titanium (Ti) silicide is formed in the contact formation field of the cell plate prolonged from nothing and a counterelectrode 32 in the contact in which the lower part of the charge-storage electrode 31 is connected with the diffusion layer by the side of the source of the switch transistor 35, and capacity 33 is connected with the circuit pattern 16 which consists of aluminum (aluminum) prepared on the layer insulation film 15 which consists of BPSG through the contact 14 which consists of a tungsten (W).

[0028] The switch transistor 35 is 1st n+ formed in the gate electrode which consists of the gate oxide film 36 formed one by one, the polysilicon contest film 37, a W silicide film 38, and a TEOS film 39, and the substrate 11 along with the gate electrode from the substrate 11 side. It has the type diffusion layer 40. 1st n+ used as a drain. The conductive thin film 13 which consists of Ti silicide is formed in the contact formation field of the type diffusion layer 40, and this conductive thin film 13 is connected with the bit line 34 through the bit line contact 42.

[0029] The circumference circuit field 50 is 2nd n+ which is separated by the isolation film 12 and becomes a source drain. It has the resistance element 53 which serves as FET52 for circuits which has the gate electrode of the type diffusion layer 51 and the switch transistor 35, and the gate electrode of the same composition from contest polysilicon. 2nd n+ of FET52 for circuits. The conductive thin film 13 which consists of Ti silicide is formed in the type diffusion layer 51 and the contact formation field of a resistance element 53, respectively.

[0030] Thus, 1st n+ which is the drain of the switch transistor 35 in the memory cell array field 30 according to this operation form Since the conductive thin film 13 to which conductivity becomes the interface of the type diffusion layer 40 and the bit line contact 42 and an interface with the contact 14 of the counterelectrode 32 of capacity 33 from high Ti silicide rather than silicon is formed, low resistance-ization of a contact portion can be attained like the circumference circuit field 50.

[0031] In addition, the conductive thin film 13 is 1st n+. It may be formed in either the type diffusion layer 40 and the counterelectrode 32.

[0032] Moreover, the circumference circuit field 50 may contain FET which accesses each element of the memory cell array field 30, and may be a logical circuit.

[0033] It explains referring to a drawing about the manufacture method of the semiconductor device constituted as mentioned above hereafter.

[0034] Drawing 2 - drawing 7 show the cross-section composition of the order of a process of the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[0035] First, as shown in drawing 2 (a), the memory cell array field 30 and the circumference circuit field 50 are separated by forming alternatively the isolation film 12 which consists of LOCOS on the substrate 11 which consists of p type silicon. Then, FET is formed to the memory cell array field 30 and the circumference circuit field 50, respectively. That is, on a substrate 11, the TEOS film 39 the gate oxide film 36 which consists of a silicon oxide whose thickness is about 5nm, the polysilicon contest film 37 whose thickness is about 100nm, W silicide film 38 whose thickness is about 100nm, and whose thickness are about 200nm is deposited one by one, then predetermined patterning is performed to this multilayer by which the laminating was carried out, and two or more gate electrodes are formed. Then, n which dopes n type impurity ion, such

as Lynn (P), to low concentration to a substrate 11 by using each gate electrode as a mask, and becomes a LDD layer. The type diffusion layers 17A-17E are formed in a self-adjustment target, respectively. Here, in order to simplify explanation, illustration of p type FET is omitted.

[0036] Next, using CVD, as shown in drawing 2 (b), the 1st insulator layer 18 which consists of silicon nitride (Si<sub>3</sub>N<sub>4</sub>) film 18b whose TEOS film 18a and thickness whose thickness is about 30nm are about 70nm over the whole surface on a substrate 11 is deposited one by one so that each gate electrode may be covered. Then, the CMP (chemical machinery polish) method after thickness deposits 1st BPSG film 19a which is about 750nm on this 1st insulator layer 18 -- using -- this -- flattening of the 1st BPSG film 19a is carried out. Then, on 1st BPSG film 19a, TEOS film 19b and thickness whose thickness is about 50nm deposit 2nd BPSG film 19c which is about 400nm one by one, and form the 2nd multilayered insulator layer 19 which consists of 1st BPSG film 19a, TEOS film 19b, and the 2nd BPSG film 19c. The boron (B) and Lynn whose the 1st and 2nd BPSG films 19a and 19c in the 2nd insulator layer 19 are predetermined impurities here -- it is a silicon oxide film containing (P), and is the silicon oxide film with which TEOS film 19b does not contain an impurity.

[0037] Next, as shown in drawing 3 (a), the photo lithography method is used. The resist pattern (not shown) which has opening is formed in the capacity formation field of the memory cell array field 30 on the 2nd insulator layer 19. By using this resist pattern as a mask, and etching to the 2nd insulator layer 19 by using the 1st insulator layer 18 as an etching stopper, 19d of two or more openings for capacity lower formation is formed in the 2nd insulator layer 19. Then, it is n to the 1st insulator layer 18, using this resist pattern as a mask. Anisotropic etching is performed so that contact can be taken with the type diffusion layers 17A and 17C, respectively, and so that the 1st insulator layer 18 may remain in the side attachment wall of the portion exposed to 19d of openings for capacity lower formation in the 1st insulator layer 18, i.e., a gate electrode. Then, a resist pattern is removed.

[0038] Next, as shown in drawing 3 (b), the amorphous silicon film with which P which is an electric conduction film for charge-storage electrodes was doped over the whole surface including the wall surface of 19d of openings for capacity lower formation and a base is deposited on a substrate 11. Then, by filling up 19d of each opening for capacity lower formation in this amorphous silicon film with the resist film 43, and etching to this amorphous silicon film, it consists of an amorphous silicon film and charge-storage electrode formation film 31A of a cylinder-like object with base configuration is formed. Here, in drawing 3 (b), the gate electrode currently formed on the isolation film 12 of the memory cell array field 30 is the word line connected to the gate electrode of a contiguity memory cell.

[0039] Next, as shown in drawing 4 (a), after removing the resist film 43, etching removal of the 2nd BPSG film 19c exposed on a substrate 11 among the 2nd insulator layer 19 using a steam-like hydrogen fluoride (HF) acid is carried out alternatively, then TEOS film 19b is removed. After it will be filled up with 1st BPSG film 19a among gate electrodes and it will carry out flattening further, as mentioned above, if it does in this way. Since the interface of 1st BPSG film 19a and TEOS film 19b crosses the capacity formation field which forms TEOS film 19b and 2nd BPSG film 19c one by one, and is located above each gate electrode in parallel with a substrate side. By removing alternatively TEOS film 19b and 2nd BPSG film 19c, the upper part of each charge-storage electrode formation film 31A is exposed. That is, only the upper part of charge-storage electrode formation film 31A can be certainly exposed by making the 2nd insulator layer 19 into the layered product which consists of a mutually different material, and using the difference of the etching rate. Then, each charge-storage electrode 31 is formed by making semi-sphere-like contest split-face-sized polysilicon

crystallize the front face of the outcrop of each charge-storage electrode formation film 31A. Then, the so-called ON (silicon oxide/silicon nitride) film (not shown) used as a capacity insulator layer is formed in the outcrop of each charge-storage electrode 31.

[0040] Next, as shown in drawing 4 (b), the polysilicon contest film 20 is deposited over the whole surface on a substrate 11, the mask of the resistance-element formation field of the capacity up formation field of the memory cell array field 30 on this polysilicon contest film 20 and the circumference circuit field 50 is carried out, and resist pattern (not shown) formation is carried out.

[0041] Next, as shown in drawing 5 (a), it becomes the capacity up formation field of the memory cell array field 30 from the polysilicon contest film 20 by etching to the polysilicon contest film 20 using this resist pattern, and while forming the charge-storage electrode 31 and the counterelectrode (cell plate electrode) 32 which counters, the resistance element 53 which consists of a polysilicon contest film 20 is formed in the resistance-element formation field of the circumference circuit field 50.

[0042] Next, n of the memory cell array field [ in / a substrate 11 / by etching to 1st BPSG film 19a by using a counterelectrode 32 and a resistance element 53 as a mask, after removing a resist pattern, as shown in drawing 5 (b) ] 30 · Type diffusion layer 17B and n of the circumference circuit field 50 · The type diffusion layers 17D and 17E are exposed, respectively. Here, each gate electrode is Si 3N4 of the 1st insulator layer 18. Since film 18b becomes an etching stopper, the front face is not exposed.

[0043] Next, as shown in drawing 6 (a), anisotropic etching is again performed to the 1st insulator layer 18 by using each counterelectrode 32 and a resistance element 53 as a mask, and sidewall spacer 18A is formed in the side attachment wall of each exposed gate electrode, respectively. Then, it is n, using each gate electrode and its sidewall spacer 18A as a mask. · Type diffusion layer 17B and n· By pouring in high-concentration impurity ion to the type diffusion layers 17D and 17E 1st n+ which is a drain and becomes contact of a bit line in the memory cell array field 30 The switch transistor 35 which has the type diffusion layer 40 is formed in a self-adjustment target, and it sets to the circumference circuit field 50 simultaneously. 2nd n+ used as a source drain FET52 for circuits which has the type diffusion layer 51 is formed in a self-adjustment target.

[0044] Next, contact formation field 21a of the switch transistor [ in / this after that and protection insulator layer 21 / the protection insulator layer 21 which consists of TEOS over the whole surface on a substrate 11 as shown in drawing 6 (b) is deposited and ] 35, contact formation field 21b of the counterelectrode 32 of capacity 33, contact formation field 21c of a resistance element 53, and 2nd n+ of FET52 for circuits Opening is formed in the field of the type diffusion layer 51 top, respectively.

[0045] Next, each contact formation fields 21a-21c which cross the whole surface on a substrate 11, for example, deposit Ti using a spatter, and are shown in drawing 6 (b) after that using the Salicide method as shown in drawing 7 (a) and 2nd n+ The conductive thin film 13 which consists of Ti silicide is formed in the upper surface of the type diffusion layer 51, respectively. Then, as shown in drawing 7 (b), the layer insulation film 15 which consists of BPSG is deposited, and flattening of the upper surface is carried out. Then, by carrying out opening of the contact hole to the contact formation field in the layer insulation film 15, and filling up this contact hole with W, the bit line contact 42 is formed in the switch transistor 35, and contact 14 is formed in capacity 33 and a resistance element 53, respectively. Then, a bit line 34 is formed so that it may connect with the bit line contact 42 on the layer insulation film 15, and a circuit pattern 16 is formed so that it may connect with each contact 14. Furthermore, you may form a multilayer interconnection on the layer insulation film 15 if needed.

[0046] Thus, even if it is the semiconductor device with which DRAM concerning this operation form and the circumference circuit were loaded together After forming the

capacity 33 of the memory cell array field 30 which requires hot and prolonged heat treatment between the bit line contact 42 of the switch transistor 35 in this memory cell array field 30, and the contact 14 of a counterelectrode 32. Since the conductive thin film 13 which conductivity becomes from high Ti silicide rather than Si is formed, respectively, low resistance-ization of each contact section in the memory cell array field 30 can be realized, and the electrical property of equipment can be stabilized.

[0047] In addition, although Ti silicide was used for the conductive thin film 13, you may use the silicide of cobalt (Co) or molybdenum (Mo).

[0048] (Example of a changed completely type of an operation form) It explains hereafter, referring to a drawing about the example of a changed completely type of 1 operation form of this invention.

[0049] Drawing 8 (a), (b), and drawing 9 show the cross-section composition of the order of a process of the manufacture method of the semiconductor device concerning the example of a changed completely type of this operation form. In drawing 8 (a), (b), and drawing 9, explanation is omitted by giving the same sign to the same composition member as the composition member shown in drawing 6 (b), drawing 7 (a), and (b). The feature of this modification is a wrap point in the silicide process which shows the counterelectrode 32 in the protection insulator layer 21 to drawing 8 (b) by removing a wrap field in the conductive thin film 13 which consists the upper surface of a counterelectrode 32 of Ti silicide extensively, as shown in drawing 8 (a). Thereby, the resist pattern which carries out the mask of the contact formation field of the counterelectrode 32 of capacity 33 becomes unnecessary.

[0050]

[Effect of the Invention] Since a part of counterelectrode [ at least ] of the capacity contained in a memory cell is silicide-ized according to the semiconductor device of this invention, if contact is prepared in the field silicide-ized, since contact resistance with this contact will decrease and dispersion in resistance will be suppressed, an electrical property is stabilized.

[0051] The bit line to which the semiconductor device of this invention performs the charge and discharge of a charge to capacity, The switch transistor prepared between the capacity and the bit lines on a semiconductor substrate; If it is formed on a semiconductor substrate, it has further the bit line contact which connects a switch transistor and a bit line electrically and the interface of a semiconductor substrate and bit line contact is silicide-ized Since contact resistance of the switch transistor contained in a memory cell decreases, an electrical property is stabilized further.

[0052] A conductive thin film can be formed in each contact formation field, without according to the manufacture method of the 1st semiconductor device of this invention, being influenced of heat treatment at the time of capacity formation, in order to form a conductive thin film in each contact formation field after the capacity formation accompanied by hot and prolonged heat treatment. Consequently, since contact resistance of each element of the memory cell section is also reduced and dispersion in resistance is suppressed, operation of equipment is stabilized.

[0053] In the manufacture method of the 1st semiconductor device, if a conductive thin film formation process includes the process which forms a conductive thin film in the contact formation field of a resistance element which consists of the same material as a counterelectrode in the circuit section and contact will be formed on the conductive thin film formed in the resistance element, the property of a resistance element will be stabilized.

[0054] If the manufacture method of the 1st semiconductor device forms simultaneously the impurity diffusion layer of the electric field effect type transistor for circuits, and the impurity diffusion layer of the electric field effect type transistor for memory cells, since it can form the object for circuits, and the impurity diffusion layer of each field effect

transistor for memory cells at once in a transistor formation process, a manufacture process can be simplified.

[0055] Since only an insulator layer can be certainly removed if an insulator layer is used for an etching stopper in case the manufacture method of the 1st semiconductor device forms contact of a charge-storage electrode on the impurity diffusion layer of a semiconductor substrate in a capacity formation process, there is no possibility of giving a damage to an impurity diffusion layer.

[0056] According to the manufacture method of the 2nd semiconductor device of this invention, the same effect as the 1st semiconductor device can be acquired upwards, and the charge-storage electrode in capacity and its counterelectrode can be formed certainly.

[0057] In the manufacture method of the 2nd semiconductor device, since the etching rate to the silicon oxide of silicon nitride is small when it comes to carry out the laminating of silicon oxide and the silicon nitride, and the 2nd insulator layer contains silicon oxide, the 1st insulator layer can etch only the 2nd insulator layer certainly.

[0058] In the manufacture method of the 2nd semiconductor device, the 2nd insulator layer can expose only the upper part of the 2nd insulator layer using the difference of an etching rate, if it comes to carry out the laminating of the silicon oxide containing a predetermined impurity, and the silicon oxide which does not contain an impurity and the silicon oxide containing an impurity and the silicon oxide which does not contain an impurity will be formed in suitable thickness in a capacity formation process. For this reason, a counterelectrode can be certainly formed on a charge-storage electrode.

[Brief Description of the Drawings]

[Drawing 1] It is the composition cross section showing the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 2] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 3] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 4] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 5] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 6] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 7] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 8] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning the example of a changed completely type of 1 operation gestalt of this invention.

[Drawing 9] It is the composition cross section of the order of a process showing the manufacture method of the semiconductor device concerning the example of a changed completely type of 1 operation gestalt of this invention.

[Drawing 10] It is the composition cross section showing the semiconductor device which has a conventional DRAM circuit and its conventional circumference circuit.

[Description of Notations]

- 11 Substrate
- 12 Isolation Film
- 13 Conductive Thin Film (Ti Silicide)
- 14 Contact
- 15 Layer Insulation Film
- 16 Circuit Pattern
- 17A n - Type diffusion layer
- 17B n - Type diffusion layer
- 17C n - Type diffusion layer
- 17D n - Type diffusion layer
- 17E n - Type diffusion layer
- 18 1st Insulator Layer
- 18A Sidewall spacer
- 18a TEOS film
- 18b Si 3N<sub>4</sub> Film
- 19 2nd Insulator Layer
- 19a The 1st BPSG film
- 19b TEOS film
- 19c The 2nd BPSG film
- 19d Opening for capacity lower formation
- 20 Polysilicon Contest Film
- 21 Protection Insulator Layer
- 21a Contact formation field
- 21b Contact formation field
- 21c Contact formation field
- 30 Memory Cell Array Field
- 31 Charge Storage Electrode
- 31A Charge storage electrode formation film
- 32 Counterelectrode
- 33 Capacity
- 34 Bit Line
- 35 Switch Transistor
- 36 Gate Oxide Film
- 37 Polysilicon Contest Film
- 38 W Silicide Film
- 39 TEOS Film
- 40 1st N+ Type Diffusion Layer
- 42 Bit Line Contact
- 43 Resist Film
- 50 Circumference Circuit Field
- 51 2nd N+ Type Diffusion Layer
- 52 FET for Circuits
- 53 Resistance Element

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340433

(43)公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>5</sup>

H O I L 27/108  
21/8242  
27/10

識別記号

461

F I

H O L 27/10

681F  
461  
621C  
651

審査請求・未請求・請求項の数10 01 (全 12 頁)

(21) 出願番号 特願平10-140721

(22) 出願日 平成10年(1998) 5月22日

(71) 出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(72)発明者 小川 久  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

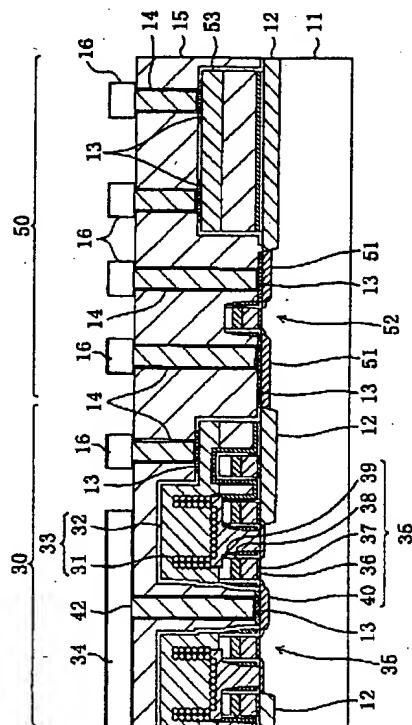
(74)代理人弁理士前田弘(外2名)

(54) [発明の名称] 半導体装置及びその製造方法

(57) 【要約】

【課題】 周辺回路領域又はロジック回路領域のみならず、メモリセルアレイ領域の各素子のコンタクトの低抵抗化を図る。

【解決手段】 メモリセルアレイ領域30には、それぞれが素子分離膜12によって分離された複数のメモリセルがアレイ状に配置されている。各メモリセルは、アモルファスシリコンからなる電荷蓄積電極31、容量絶縁膜及び該容量絶縁膜を挟んで電荷蓄積電極31と対向するポリシリコンからなる対向電極32により構成される容量33と、該容量33に対して電荷の充放電を行なうビット線34との接続を制御するスイッチトランジスタ35とを有している。スイッチトランジスタ35のドレインとなる第1のn<sup>+</sup>型拡散層40のコンタクト形成領域には、Tiシリサイドからなる導電性薄膜13が形成され、該導電性薄膜13はビット線コンタクト42を介してビット線34と接続されている。



(2)

## 【特許請求の範囲】

【請求項 1】 半導体基板上に、電荷蓄積電極、容量絶縁膜、及び前記電荷蓄積電極と対向する対向電極が順次積層されてなる容量を備え、  
前記対向電極の少なくとも一部分はシリサイド化されていることを特徴とする半導体装置。

【請求項 2】 前記容量に対して電荷の充放電を行なうビット線と、  
前記半導体基板上における前記容量と前記ビット線との間に設けられたスイッチトランジスタと、  
前記半導体基板上に形成され、前記スイッチトランジスタと前記ビット線とを電気的に接続するビット線コンタクトとをさらに備え、  
前記半導体基板と前記ビット線コンタクトとの界面はシリサイド化されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板上にメモリセル部と回路部とを有する半導体装置の製造方法であって、  
前記半導体基板のメモリセル形成領域に、不純物拡散層を有するメモリセル用電界効果型トランジスタを形成すると共に、前記半導体基板の回路形成領域に、不純物拡散層を有する回路用電界効果型トランジスタを形成するトランジスタ形成工程と、  
前記半導体基板の上に、前記メモリセル用電界効果型トランジスタ及び回路用電界効果型トランジスタを覆うように全面にわたって絶縁膜を堆積する絶縁膜堆積工程と、  
前記絶縁膜におけるメモリセルの容量形成領域に対してエッティングを行なった後、前記容量形成領域に、前記メモリセル用電界効果型トランジスタと接続され、電荷蓄積電極、容量絶縁膜及び前記電荷蓄積電極と対向する対向電極からなる容量を形成する容量形成工程と、  
前記回路用電界効果型トランジスタにおける前記不純物拡散層のコンタクト形成領域、及び前記メモリセル用電界効果型トランジスタにおける前記不純物拡散層のコンタクト形成領域又は前記対向電極のコンタクト形成領域に導電性薄膜を形成する導電性薄膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 4】 前記導電性薄膜形成工程は、  
前記回路部において、前記導電性薄膜を前記対向電極と同一の材料からなる抵抗素子のコンタクト形成領域に形成する工程を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記トランジスタ形成工程において、  
前記回路用電界効果型トランジスタの前記不純物拡散層と前記メモリセル用電界効果型トランジスタの前記不純物拡散層と同時に形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】 前記容量形成工程において、  
前記半導体基板の前記不純物拡散層上に前記電荷蓄積電

極のコンタクトを形成する際に、前記絶縁膜をエッティングストッパー用いることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】 半導体基板上に、不純物拡散層を有する電界効果型トランジスタを形成するトランジスタ形成工程と、

前記半導体基板の上に、前記電界効果型トランジスタを覆うように全面にわたって第 1 の絶縁膜及び第 2 の絶縁膜を順次形成した後、該第 2 の絶縁膜の上面を平坦化する絶縁膜形成工程と、

前記第 2 の絶縁膜の上に形成されたレジストパターンをマスクとし且つ前記第 1 の絶縁膜をエッティングストッパーとして前記第 2 の絶縁膜に対してエッティングを行なうことにより、前記第 2 の絶縁膜の容量形成領域に開口部を形成する開口部形成工程と、

前記半導体基板の上における前記開口部の壁面及び底面を含む全面にわたって導電膜を堆積した後、該導電膜を前記開口部の壁面及び底面に残るように除去することにより、前記開口部に前記導電膜からなる電荷蓄積電極を形成する電荷蓄積電極形成工程と、

前記第 2 の絶縁膜の上部に対して前記電荷蓄積電極の上部が露出するようにエッチバックを行なった後、前記電荷蓄積電極の上に容量絶縁膜及び前記電荷蓄積電極と対向する対向電極を順次形成する容量形成工程と、  
前記不純物拡散層のコンタクト形成領域又は前記対向電極のコンタクト形成領域に導電性薄膜を形成する導電性薄膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 1 の絶縁膜は、酸化ケイ素と窒化ケイ素とが積層されることを特徴とする請求項 7 に記載の半導体基板の製造方法。

【請求項 9】 前記第 2 の絶縁膜は、所定の不純物を含む酸化ケイ素と、不純物を含まない酸化ケイ素とが積層されることを特徴とする請求項 7 に記載の半導体基板の製造方法。

【請求項 10】 前記導電性薄膜は金属シリサイドからなることを特徴とする請求項 3 又は 7 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、DRAM (ダイナミックランダムアクセスメモリ) 回路を有する半導体装置に関し、特に、DRAM回路とその周辺回路又はロジック回路とが一の基板に形成された半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来のDRAM回路を有する半導体装置について図面を参照しながら説明する。

【0003】図10は従来のDRAM回路及びその周辺回路を有する半導体装置の断面構成を示している。図1

(3)

3

0に示すように、p型シリコンからなる基板101上には、DRAMの複数のメモリセルがアレイ状に配置されてなるメモリセルアレイ領域110と該メモリセルアレイ領域110と電気的に接続された周辺回路領域130とが設けられている。

【0004】メモリセルアレイ領域110には、電荷蓄積電極111と容量絶縁膜(図示せず)と該容量絶縁膜を挟んで電荷蓄積電極111と対向する対向電極112とからなる容量113と、該容量113に対して電荷の充放電を行なうビット線114との接続を制御する電界効果型トランジスタ(以下、FETと呼ぶ。)からなるスイッチトランジスタ115とがそれぞれ形成されている。

【0005】容量113は、電荷蓄積電極111の下部がスイッチトランジスタ115のソース側の拡散層と接続されるコンタクトをなし、対向電極112から延びるセルプレートがタンゲステン(W)からなるコンタクト102を介してBPSGからなる層間絶縁膜103上に設けられたアルミニウム(A1)配線104と接続されている。

【0006】スイッチトランジスタ115は、基板101側から順次形成されたゲート酸化膜116、ポリシリコン膜117、Wシリサイド膜118及びTEOS膜119からなるゲート電極と、基板101にゲート電極に沿って形成されたn<sup>+</sup>型拡散層120とを有している。ドレインとなるn<sup>+</sup>型拡散層120の上面にはビット線114と接続されたビット線コンタクト121が形成されている。

【0007】周辺回路領域130には、それが素子分離膜105によって分離され、ソース・ドレインとなるn<sup>+</sup>型拡散層131と、スイッチトランジスタ115のゲート電極と同様の構成のゲート電極とを有する複数の回路用FET132が形成されている。各回路用FET132のn<sup>+</sup>型拡散層131の上面とコンタクト102との間にはn<sup>+</sup>型拡散層131とコンタクト102との接触抵抗を低減するためのチタン(Ti)シリサイド膜133がそれぞれ形成されている。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置は、周辺回路領域130の各回路用FETのn<sup>+</sup>型拡散層131の上面には、コンタクト102との接触抵抗を下げるTiシリサイド膜133が設けられているものの、メモリセル領域110においては、スイッチトランジスタ115や容量113の各コンタクトにシリサイド膜を設けると、特に、容量113の製造時の熱処理によってシート抵抗が上昇する等の不具合が生じるため、シリサイド化が困難であるという問題がある。

【0009】本発明は、周辺回路やロジック回路領域のみならず、メモリセルアレイ領域の各素子のコンタクト

4

の低抵抗化を図ることを目的とする。

【0010】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板上に、電荷蓄積電極、容量絶縁膜、及び電荷蓄積電極と対向する対向電極とが順次積層されてなる容量を備え、対向電極の少なくとも一部分はシリサイド化されている。

【0011】本発明の半導体装置によると、容量の対向電極の少なくとも一部分がシリサイド化されているため、シリサイド化されている領域にコンタクトを設ければ、該コンタクトとの接触抵抗が低減する。

【0012】本発明の半導体装置は、容量に対して電荷の充放電を行なうビット線と、半導体基板上における容量とビット線との間に設けられたスイッチトランジスタと、半導体基板上に形成され、スイッチトランジスタとビット線とを電気的に接続するビット線コンタクトとをさらに備え、半導体基板とビット線コンタクトとの界面がシリサイド化されていることが好ましい。

【0013】本発明に係る第1の半導体装置の製造方法は、半導体基板上にメモリセル部と回路部とを有する半導体装置の製造方法であって、半導体基板のメモリセル形成領域に、不純物拡散層を有するメモリセル用電界効果型トランジスタを形成すると共に、半導体基板の回路形成領域に、不純物拡散層を有する回路用電界効果型トランジスタを形成するトランジスタ形成工程と、半導体基板の上に、メモリセル用電界効果型トランジスタ及び回路用電界効果型トランジスタを覆うように全面にわたって絶縁膜を堆積する絶縁膜堆積工程と、絶縁膜におけるメモリセルの容量形成領域に対してエッチングを行なった後、容量形成領域に、メモリセル用電界効果型トランジスタと接続され、電荷蓄積電極、容量絶縁膜及び該電荷蓄積電極と対向する対向電極からなる容量を形成する容量形成工程と、回路用電界効果型トランジスタにおける不純物拡散層のコンタクト形成領域、及びメモリセル用電界効果型トランジスタにおける不純物拡散層のコンタクト形成領域又は対向電極のコンタクト形成領域に導電性薄膜を形成する導電性薄膜形成工程とを備えている。

【0014】第1の半導体装置の製造方法によると、通常、高温且つ長時間の熱処理を伴う容量形成の後に、回路用電界効果型トランジスタ及びメモリセル用電界効果型トランジスタの不純物拡散層のコンタクト形成領域又は対向電極のコンタクト形成領域に導電性薄膜を形成するため、容量形成時の熱処理の影響を受けることなく、トランジスタ等の各素子のコンタクト形成領域に導電性薄膜を形成できる。

【0015】第1の半導体装置の製造方法において、導電性薄膜形成工程が、回路部において、導電性薄膜を対向電極と同一の材料からなる抵抗素子のコンタクト形成領域に形成する工程を含むことが好ましい。

(4)

5

【0016】第1の半導体装置の製造方法が、トランジスタ形成工程において、回路用電界効果型トランジスタの不純物拡散層とメモリセル用電界効果型トランジスタの不純物拡散層とを同時に形成することが好ましい。

【0017】第1の半導体装置の製造方法が、容量形成工程において、半導体基板の不純物拡散層上に電荷蓄積電極のコンタクトを形成する際に、絶縁膜をエッティングストッパーに用いることが好ましい。

【0018】第2の半導体装置の製造方法は、半導体基板上に、不純物拡散層を有する電界効果型トランジスタを形成するトランジスタ形成工程と、半導体基板の上に、電界効果型トランジスタを覆うように全面にわたって第1の絶縁膜及び第2の絶縁膜を順次形成した後、該第2の絶縁膜の上面を平坦化する絶縁膜形成工程と、第2の絶縁膜に形成されたレジストパターンをマスクとしてつ第1の絶縁膜をエッティングストッパーとして第2の絶縁膜に対してエッティングを行なうことにより、第2の絶縁膜の容量形成領域に開口部を形成する開口部形成工程と、半導体基板の上における開口部の壁面及び底面を含む全面にわたって導電膜を堆積した後、該導電膜を開口部の壁面及び底面に残るように除去することにより、開口部に導体膜からなる電荷蓄積電極を形成する電荷蓄積電極形成工程と、第2の絶縁膜の上部に対して電荷蓄積電極の上部が露出するようにエッチバックを行なった後、電荷蓄積電極の上に容量絶縁膜及び該電荷蓄積電極と対向する対向電極を順次形成する容量形成工程と、不純物拡散層のコンタクト形成領域又は対向電極のコンタクト形成領域に導電性薄膜を形成する導電性薄膜形成工程とを備えている。

【0019】第2の半導体装置の製造方法によると、通常、高温且つ長時間の熱処理を伴う容量形成の後に、電界効果型トランジスタの不純物拡散層のコンタクト形成領域及び対向電極のコンタクト形成領域に導電性薄膜を形成するため、容量形成時の熱処理の影響を受けることなく、トランジスタ等の各素子のコンタクト形成領域に導電性薄膜を形成できる。

【0020】また、各トランジスタを形成した後、第1の絶縁膜及び第2の絶縁膜を積層しておき、開口部形成工程においては、第1の絶縁膜をエッティングストッパーとし、容量形成工程においては、第2の絶縁膜を電荷蓄積電極の上部が露出するようにエッティングするため、電荷蓄積電極の対向電極を確実に形成できる。

【0021】第2の半導体装置の製造方法において、第1の絶縁膜が酸化ケイ素と窒化ケイ素とが積層されてなることが好ましい。このようにすると、開口部形成工程において、第2の絶縁膜が酸化ケイ素を含む場合には、窒化ケイ素の酸化ケイ素に対するエッティングレートが小さいため、第2の絶縁膜のみを確実にエッティングできる。

【0022】第2の半導体装置の製造方法において、第

6

2の絶縁膜は、所定の不純物を含む酸化ケイ素と不純物を含まない酸化ケイ素とが積層されてなることが好ましい。このようにすると、容量形成工程において、不純物を含む酸化ケイ素と不純物を含まない酸化ケイ素との界面が電荷蓄積電極形成領域を基板面に平行に横切るように形成すれば、エッティングレートの差を利用して第2の絶縁膜の上部のみを容易に且つ確実に露出させることができる。

【0023】第1又は第2の半導体装置の製造方法において、導電性薄膜が金属シリサイドからなることが好ましい。このようにすると、電界効果型トランジスタの不純物拡散層及び容量の対向電極がシリコンからなる場合には、シリコンよりも導電性が高い導電性薄膜を容易に且つ確実に形成できる。

【0024】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0025】図1は本発明の一実施形態に係る半導体装置の断面構成を示している。図1に示すように、p型シリコンからなる基板11上に、例えば、LOCOSからなる素子分離膜12によって互いに分離されたメモリセルアレイ領域30と周辺回路領域50とを備えている。

【0026】メモリセルアレイ領域30には、それぞれが素子分離膜12によって分離された複数のメモリセルがアレイ状に配置されている。各メモリセルは、粗面化ポリシリコンからなる電荷蓄積電極31、容量絶縁膜(図示せず)及び該容量絶縁膜を挟んで電荷蓄積電極31と対向するポリシリコンからなる対向電極32により構成される容量33と、該容量33に対して電荷の充放

電を行なうビット線34との接続を制御するMOSFETからなるスイッチトランジスタ35とを有している。

【0027】容量33は、電荷蓄積電極31の下部がスイッチトランジスタ35のソース側の拡散層と接続されるコンタクトをなし、対向電極32から延びるセルプレートのコンタクト形成領域にはチタン(Ti)シリサイドからなる導電性薄膜13が形成され、タングステン(W)からなるコンタクト14を介してBPSGからなる層間絶縁膜15上に設けられたアルミニウム(A1)からなる配線パターン16と接続されている。

【0028】スイッチトランジスタ35は、基板11側から順次形成されたゲート酸化膜36、ポリシリコン膜37、Wシリサイド膜38及びTEOS膜39からなるゲート電極と、基板11にゲート電極に沿って形成された第1のn<sup>+</sup>型拡散層40とを有している。ドレインとなる第1のn<sup>+</sup>型拡散層40のコンタクト形成領域にはTiシリサイドからなる導電性薄膜13が形成され、該導電性薄膜13はビット線コンタクト42を介してビット線34と接続されている。

【0029】周辺回路領域50は、素子分離膜12によって分離され、ソース・ドレインとなる第2のn<sup>+</sup>型拡

(5)

7

散層51及びスイッチトランジスタ35のゲート電極と同様の構成のゲート電極を有する回路用FET52と、ポリシリコンからなる抵抗素子53とを有している。回路用FET52の第2のn<sup>+</sup>型拡散層51及び抵抗素子53のコンタクト形成領域にはTiシリサイドからなる導電性薄膜13とがそれぞれ形成されている。

【0030】このように、本実施形態によると、メモリセルアレイ領域30において、スイッチトランジスタ35のドレインである第1のn<sup>+</sup>型拡散層40とビット線コンタクト42との界面、及び容量33の対向電極32のコンタクト14との界面にはシリコンよりも導電性が高いTiシリサイドからなる導電性薄膜13が形成されているため、周辺回路領域50と同様に、コンタクト部分の低抵抗化を図ることができる。

【0031】なお、導電性薄膜13は、第1のn<sup>+</sup>型拡散層40及び対向電極32のいずれか一方に形成されてもよい。

【0032】また、周辺回路領域50は、メモリセルアレイ領域30の各素子をアクセスするFETを含んでいてもよく、また、ロジック回路であってもよい。

【0033】以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0034】図2～図7は本発明の一実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0035】まず、図2(a)に示すように、p型シリコンからなる基板11上に、LOCOSからなる素子分離膜12を選択的に形成することにより、メモリセルアレイ領域30と周辺回路領域50とを分離する。その後、メモリセルアレイ領域30及び周辺回路領域50に対して、FETをそれぞれ形成する。すなわち、基板11上に、膜厚が約5nmの酸化シリコンからなるゲート酸化膜36、膜厚が約100nmのポリシリコン膜37、膜厚が約100nmのWシリサイド膜38及び膜厚が約200nmのTEOS膜39を順次堆積し、統いて、この積層された多層膜に対して所定のパターニングを行なって、複数のゲート電極を形成する。その後、各ゲート電極をマスクとして基板11に対してリン(P)等のn型不純物イオンを低濃度でドープしてLDD層となるn<sup>-</sup>型拡散層17A～17Eをそれぞれ自己整合的に形成する。ここでは、説明を簡単にするために、p型FETの図示を省略している。

【0036】次に、図2(b)に示すように、例えば、CVD法を用いて、基板11の上に全面にわたって膜厚が約30nmのTEOS膜18a及び膜厚が約70nmの窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜18bからなる第1の絶縁膜18を各ゲート電極を覆うように順次堆積し、その後、該第1の絶縁膜18の上に膜厚が約750nmの第1のBPSG膜19aを堆積した後、CMP(化学機械研磨)法を用いて該第1のBPSG膜19aを平坦化する。統いて、第1のBPSG膜19aの上に膜厚が約

8

50nmのTEOS膜19b及び膜厚が約400nmの第2のBPSG膜19cを順次堆積し、第1のBPSG膜19a、TEOS膜19b及び第2のBPSG膜19cからなる多層化された第2の絶縁膜19を形成する。ここで、第2の絶縁膜19における、第1及び第2のBPSG膜19a、19cが所定の不純物であるホウ素(B)及びリン(P)を含む酸化ケイ素膜であり、TEOS膜19bが不純物を含まない酸化ケイ素膜である。

【0037】次に、図3(a)に示すように、フォトリソグラフィー法を用いて、第2の絶縁膜19の上におけるメモリセルアレイ領域30の容量形成領域に開口部を有するレジストパターン(図示せず)を形成し、該レジストパターンをマスクとし且つ第1の絶縁膜18をエッチングストッパーとして第2の絶縁膜19に対してエッチングを行なうことにより、第2の絶縁膜19に複数の容量下部形成用開口部19dを形成する。統いて、該レジストパターンをマスクとして第1の絶縁膜18に対して、n<sup>-</sup>型拡散層17A及び17Cとそれぞれコンタクトを取れるように、且つ、第1の絶縁膜18における容量下部形成用開口部19dに露出する部分、すなわち、ゲート電極の側壁に第1の絶縁膜18が残るように異方性エッチングを行なう。その後、レジストパターンを除去する。

【0038】次に、図3(b)に示すように、基板11の上に容量下部形成用開口部19dの壁面及び底面を含む全面にわたって電荷蓄積電極用の導電膜であるPがドープされたアモルファスシリコン膜を堆積する。その後、該アモルファスシリコン膜における各容量下部形成用開口部19dにレジスト膜43を充填し、該アモルファスシリコン膜に対してエッチングを行なうことにより、アモルファスシリコン膜からなり有底筒形状の電荷蓄積電極形成膜31Aを形成する。ここで、図3(b)において、メモリセルアレイ領域30の素子分離膜12上に形成されているゲート電極は、隣接メモリセルのゲート電極に接続されたワード線である。

【0039】次に、図4(a)に示すように、レジスト膜43を除去した後、蒸気状のフッ化水素(HF)酸を用いて第2の絶縁膜19のうち、基板11上に露出する第2のBPSG膜19cを選択的にエッチング除去し、統いて、TEOS膜19bを除去する。このようにすると、前述したように、第1のBPSG膜19aをゲート電極同士の間に充填しさらに平坦化した後、TEOS膜19b及び第2のBPSG膜19cを順次形成しており、各ゲート電極の上方に位置する容量形成領域を第1のBPSG膜19aとTEOS膜19bとの界面が基板面に平行に横切るので、TEOS膜19b及び第2のBPSG膜19cを選択的に除去することにより、各電荷蓄積電極形成膜31Aの上部が露出する。すなわち、第2の絶縁膜19を互いに異なる材料からなる積層体とし、そのエッチングレートの差を利用することによつ

(6)

9

て、電荷蓄積電極形成膜31Aの上部のみを確實に露出させることができる。続いて、各電荷蓄積電極形成膜31Aの露出部の表面を半球状の粗面化ポリシリコンに結晶化させることにより各電荷蓄積電極31を形成する。その後、各電荷蓄積電極31の露出部に容量絶縁膜となる、いわゆるON(酸化ケイ素/窒化ケイ素)膜(図示せず)を形成する。

【0040】次に、図4(b)に示すように、基板11上に全面にわたってポリシリコン膜20を堆積し、該ポリシリコン膜20の上における、メモリセルアレイ領域30の容量上部形成領域及び周辺回路領域50の抵抗素子形成領域をマスクするレジストパターン(図示せず)形成する。

【0041】次に、図5(a)に示すように、該レジストパターンを用いて、ポリシリコン膜20に対してエッチングを行なうことにより、メモリセルアレイ領域30の容量上部形成領域にポリシリコン膜20からなり、電荷蓄積電極31と対向する対向電極(セルプレート電極)32を形成すると共に、周辺回路領域50の抵抗素子形成領域にポリシリコン膜20からなる抵抗素子53を形成する。

【0042】次に、図5(b)に示すように、レジストパターンを除去した後、対向電極32及び抵抗素子53をマスクとして第1のBPSG膜19aに対してエッチングを行なうことにより、基板11における、メモリセルアレイ領域30のn<sup>-</sup>型拡散層17B及び周辺回路領域50のn<sup>-</sup>型拡散層17D, 17Eをそれぞれ露出させる。ここで、各ゲート電極は、第1の絶縁膜18のうちのSi<sub>3</sub>N<sub>4</sub>膜18bがエッチングストッパーとなるため、その表面が露出しない。

【0043】次に、図6(a)に示すように、再度、各対向電極32及び抵抗素子53をマスクとして第1の絶縁膜18に対して異方性エッチングを行なって、露出した各ゲート電極の側壁にサイドウォールスペーサ18Aをそれぞれ形成する。その後、各ゲート電極及びそのサイドウォールスペーサ18Aをマスクとして、n<sup>-</sup>型拡散層17B及びn<sup>-</sup>型拡散層17D, 17Eに対して高濃度の不純物イオンを注入することにより、メモリセルアレイ領域30において、ドレインであり且つビット線のコンタクトとなる第1のn<sup>+</sup>型拡散層40を有するスイッチトランジスタ35が自己整合的に形成され、同時に、周辺回路領域50において、ソース・ドレインとなる第2のn<sup>+</sup>型拡散層51を有する回路用FET52が自己整合的に形成される。

【0044】次に、図6(b)に示すように、基板11上の全面にわたってTEOSからなる保護絶縁膜21を堆積し、その後、該保護絶縁膜21におけるスイッチトランジスタ35のコンタクト形成領域21a、容量33の対向電極32のコンタクト形成領域21b及び抵抗素子53のコンタクト形成領域21c、並びに回路用FET52

(6)

10

T52の第2のn<sup>+</sup>型拡散層51の上側の領域にそれぞれ開口部を形成する。

【0045】次に、図7(a)に示すように、スパッタ法を用いて、基板11上の全面にわたって、例えば、Tiを堆積し、その後、サリサイド法を用いて、図6(b)に示す各コンタクト形成領域21a～21c及び第2のn<sup>+</sup>型拡散層51の上面にTiシリサイドからなる導電性薄膜13をそれぞれ形成する。その後、図7(b)に示すように、BPSGからなる層間絶縁膜15を堆積しその上面を平坦化する。続いて、層間絶縁膜15におけるコンタクト形成領域にコンタクトホールを開口し、該コンタクトホールにWを充填することにより、スイッチトランジスタ35にはビット線コンタクト42を形成し、容量33及び抵抗素子53にはコンタクト14をそれぞれ形成する。続いて、層間絶縁膜15の上にビット線コンタクト42と接続されるようにビット線34を形成し、各コンタクト14と接続されるように配線パターン16を形成する。さらに、必要に応じて層間絶縁膜15の上に多層配線を形成してもよい。

【0046】このように、本実施形態に係るDRAMと周辺回路とが混載された半導体装置であっても、高温且つ長時間の熱処理を要するメモリセルアレイ領域30の容量33を形成した後に、該メモリセルアレイ領域30におけるスイッチトランジスタ35のビット線コンタクト42及び対向電極32のコンタクト14との間に、Siよりも導電性が高いTiシリサイドからなる導電性薄膜13をそれぞれ形成するため、メモリセルアレイ領域30における各コンタクト部の低抵抗化を実現でき、装置の電気的特性を安定化できる。

【0047】なお、導電性薄膜13にTiシリサイドを用いたが、コバルト(Co)又はモリブデン(Mo)のシリサイドを用いてもよい。

【0048】(実施形態の一変形例)以下、本発明の一実施形態の一変形例について図面を参照しながら説明する。

【0049】図8(a), (b)及び図9は本実施形態の一変形例に係る半導体装置の製造方法の工程順の断面構成を示している。図8(a), (b)及び図9において、図6(b), 図7(a)及び(b)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。本変形例の特徴は、図8(a)に示すように、保護絶縁膜21における対向電極32を覆う領域を除去することにより、図8(b)に示すシリサイド工程において、対向電極32の上面を全面的にTiシリサイドからなる導電性薄膜13で覆う点である。これにより、容量33の対向電極32のコンタクト形成領域をマスクするレジストパターンが不要となる。

【0050】

【発明の効果】本発明の半導体装置によると、メモリセルに含まれる容量の対向電極の少なくとも一部がシリサ

(7)

11

イド化されているため、シリサイド化されている領域にコンタクトを設ければ、該コンタクトとの接触抵抗が低減し、且つ、抵抗値のばらつきが抑えられるので、電気的特性が安定する。

【0051】本発明の半導体装置は、容量に対して電荷の充放電を行なうピット線と、半導体基板上における容量とピット線との間に設けられたスイッチトランジスタと、半導体基板上に形成され、スイッチトランジスタとピット線とを電気的に接続するピット線コンタクトとをさらに備え、半導体基板とピット線コンタクトとの界面がシリサイド化されると、メモリセルに含まれるスイッチトランジスタのコンタクト抵抗が低減するので、電気的特性がさらに安定する。

【0052】本発明の第1の半導体装置の製造方法によると、高温且つ長時間の熱処理を伴う容量形成の後に、各コンタクト形成領域に導電性薄膜を形成するため、容量形成時の熱処理の影響を受けることなく、各コンタクト形成領域に導電性薄膜を形成できる。その結果、メモリセル部の各素子のコンタクト抵抗も低減し、且つ、抵抗値のばらつきが抑えられるので、装置の動作が安定する。

【0053】第1の半導体装置の製造方法において、導電性薄膜形成工程が、回路部において、導電性薄膜を対向電極と同一の材料からなる抵抗素子のコンタクト形成領域に形成する工程を含むと、抵抗素子に形成された導電性薄膜上にコンタクトを形成すれば、抵抗素子の特性が安定する。

【0054】第1の半導体装置の製造方法が、トランジスタ形成工程において、回路用電界効果型トランジスタの不純物拡散層とメモリセル用電界効果型トランジスタの不純物拡散層とを同時に形成すると、回路用及びメモリセル用の各電界効果型トランジスタの不純物拡散層を一度に形成できるので、製造プロセスを簡単にできる。

【0055】第1の半導体装置の製造方法が、容量形成工程において、半導体基板の不純物拡散層上に電荷蓄積電極のコンタクトを形成する際に、絶縁膜をエッティングストッパーに用いると、絶縁膜のみを確実に除去できるので、不純物拡散層にダメージを与えるおそれがない。

【0056】本発明の第2の半導体装置の製造方法によると、第1の半導体装置と同様の効果を得られる上に、容量における電荷蓄積電極及びその対向電極を確実に形成できる。

【0057】第2の半導体装置の製造方法において、第1の絶縁膜が酸化ケイ素と窒化ケイ素とが積層されてなると、第2の絶縁膜が酸化ケイ素を含む場合には、窒化ケイ素の酸化ケイ素に対するエッティングレートが小さいため、第2の絶縁膜のみを確実にエッティングできる。

【0058】第2の半導体装置の製造方法において、第2の絶縁膜は、所定の不純物を含む酸化ケイ素と不純物を含まない酸化ケイ素とが積層されてなると、容量形成

12

工程において、不純物を含む酸化ケイ素と不純物を含まない酸化ケイ素とを適当な膜厚に形成すれば、エッティングレートの差を利用して第2の絶縁膜の上部のみを露出させることができる。このため、電荷蓄積電極の上に対向電極を確実に形成できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置を示す構成断面図である。

【図2】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図8】本発明の一実施形態の一変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図9】本発明の一実施形態の一変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図10】従来のDRAM回路及びその周辺回路を有する半導体装置を示す構成断面図である。

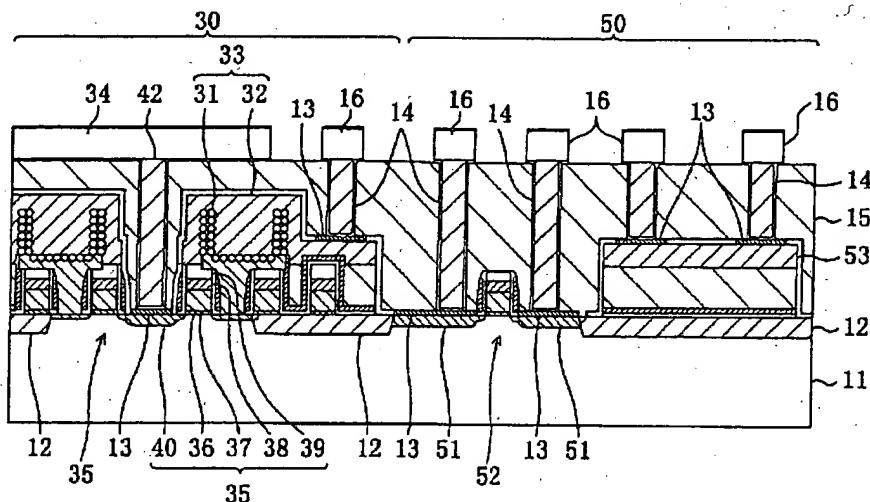
#### 【符号の説明】

1 1	基板
1 2	素子分離膜
30	1 3 導電性薄膜 (Tiシリサイド)
1 4	コンタクト
1 5	層間絶縁膜
1 6	配線パターン
1 7 A	n-型拡散層
1 7 B	n-型拡散層
1 7 C	n-型拡散層
1 7 D	n-型拡散層
1 7 E	n-型拡散層
1 8	第1の絶縁膜
40	1 8 A サイドウォールスペーサ
1 8 a	TEOS膜
1 8 b	Si <sub>3</sub> N <sub>4</sub> 膜
1 9	第2の絶縁膜
1 9 a	第1のBPSG膜
1 9 b	TEOS膜
1 9 c	第2のBPSG膜
1 9 d	容量下部形成用開口部
2 0	ポリシリコン膜
2 1	保護絶縁膜
50	2 1 a コンタクト形成領域

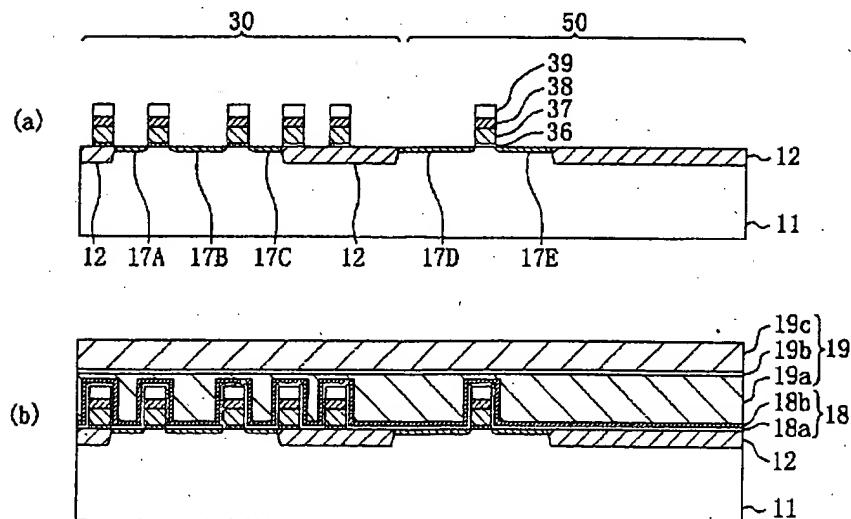
(8)

21b	コンタクト形成領域	13	37	ポリシリコン膜
21c	コンタクト形成領域		38	Wシリサイド膜
30	メモリセルアレイ領域		39	TEOS膜
31	電荷蓄積電極		40	第1のn <sup>+</sup> 型拡散層
31A	電荷蓄積電極形成膜		42	ピット線コンタクト
32	対向電極		43	レジスト膜
33	容量		50	周回路領域
34	ピット線		51	第2のn <sup>+</sup> 型拡散層
35	スイッチトランジスタ		52	回路用FET
36	ゲート酸化膜		53	抵抗素子

【図1】

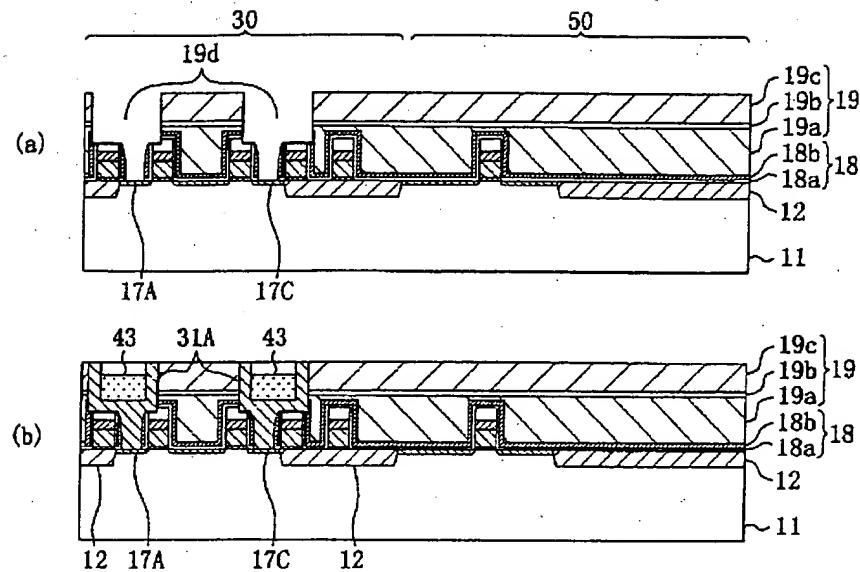


【図2】

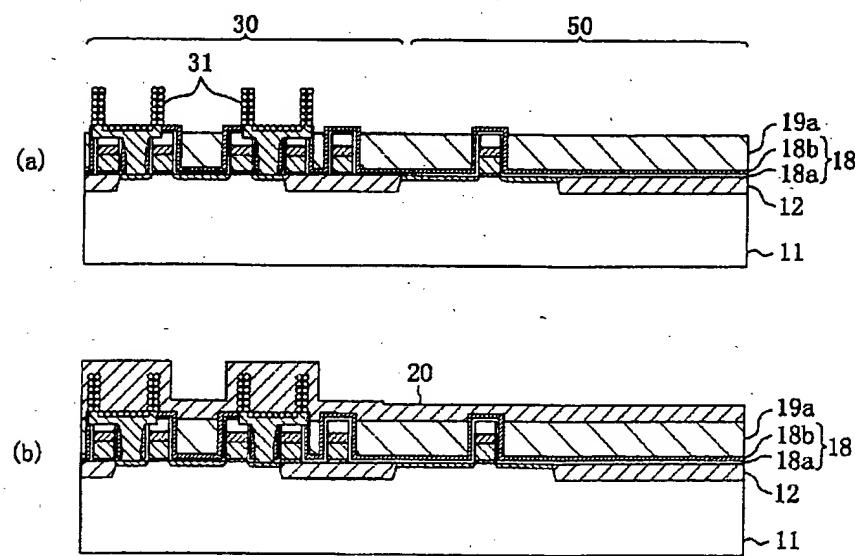


(9)

【図3】

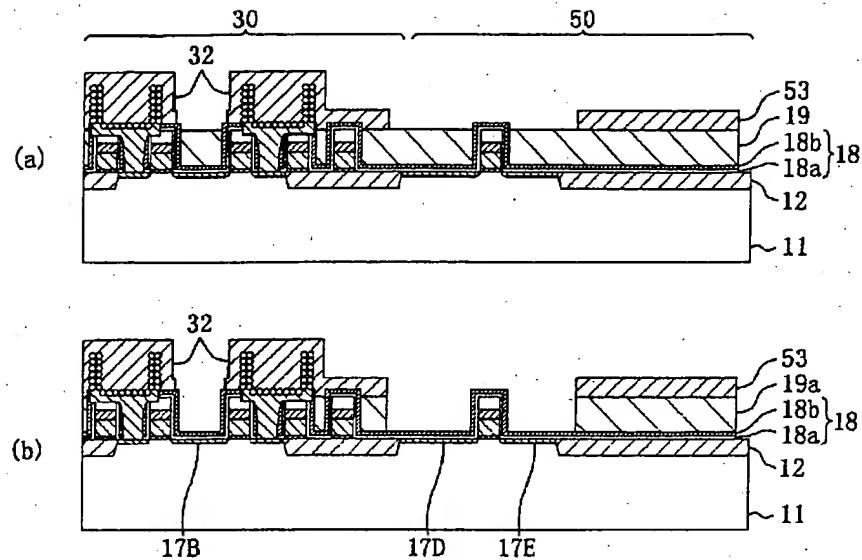


【図4】

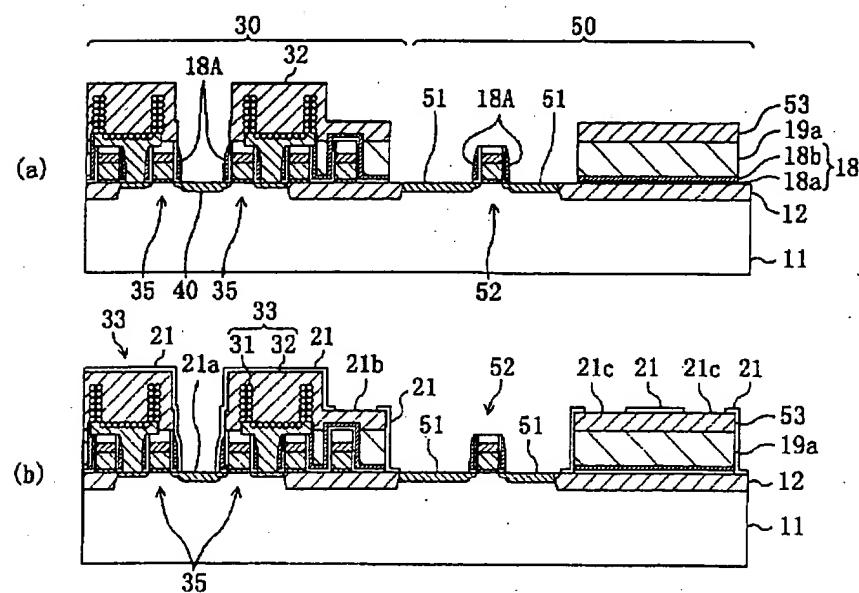


(10)

【図5】

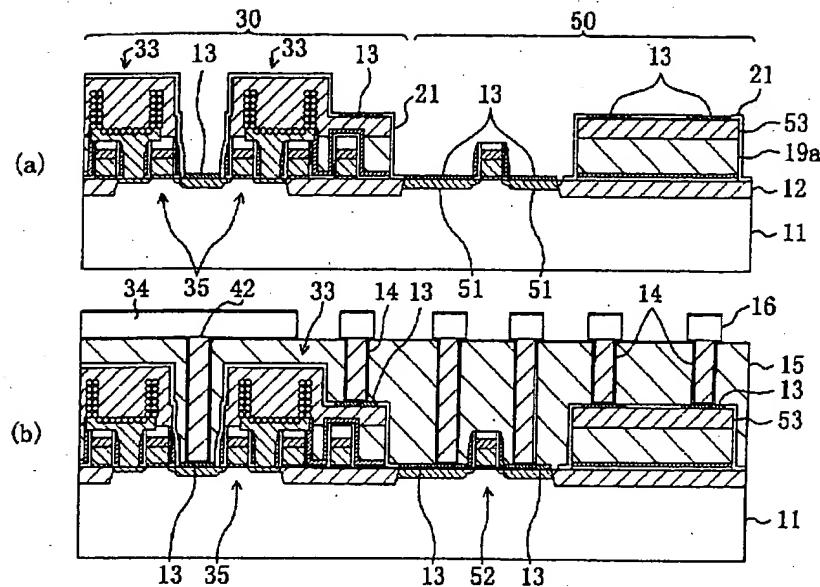


【図6】

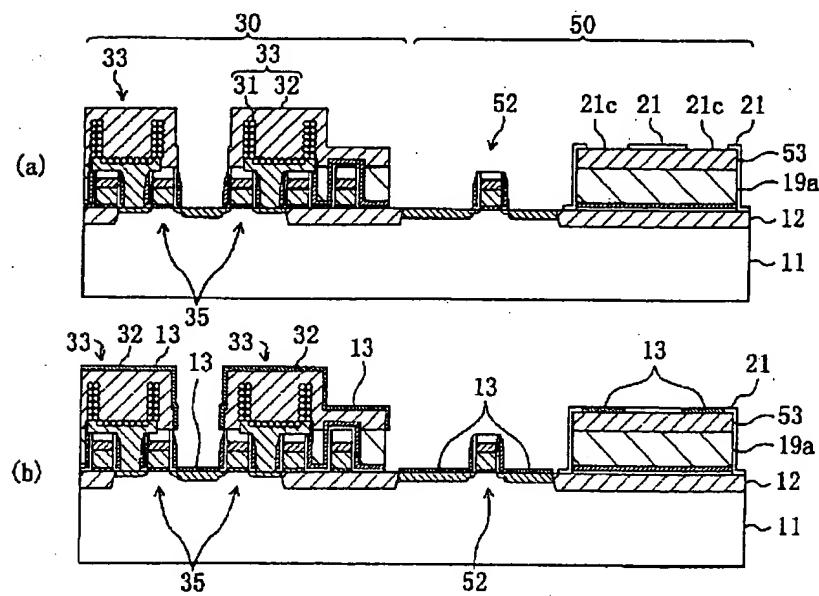


(11)

【図7】

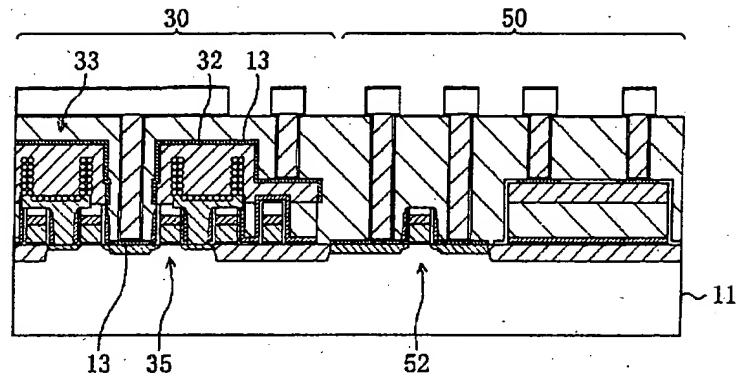


【図8】



(12)

【図9】



【図10】

